

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-026335

**(43)Date of publication of application : 25.01.2002**

(51)Int.Cl.

H01L 29/786  
G02F 1/1368  
H01L 21/28

(21)Application number : 2000-212266

(71)Applicant : FUJITSU LTD

(22)Date of filing : 13.07.2000

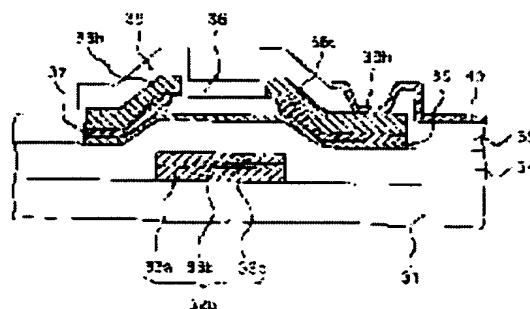
(72)Inventor : YAEHASHI HIROYUKI

## (54) THIN FILM TRANSISTOR AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

**PROBLEM TO BE SOLVED:** To enable at least either the gate electrode or the source/drain electrode to be formed of Al and high-melting metal so as to decrease thin film transistor resistance and to prevent a high-resistance layer from being formed by mutual diffusion caused by heat at an interface between Al and high-melting metal, where the thin film transistor is mainly used as a switching device of a liquid crystal display device.

**SOLUTION:** At least, either the gate electrode or the source/drain electrode is of laminated structure composed of an Al film 33a, an oxygen-containing Al film 33b, and a Ti film 33c. The oxygen-containing Al film 33b is formed by a method wherein Al is sputtered in an atmosphere that contains 20% or more oxygen. The oxygen-containing Al film 33b functions as a diffusion preventing layer, and mutual diffusion is prevented from occurring between the Al film 33a and the Ti film 33c even at a temperature at which a gate insulating film 34 is formed.



31: ダラマ五郎	S1: ゲートモーター
32a: プートバスライン	36b: ドレイン管路
33a: A1 腔	3E: ソース電極
33b: 腔奥を食んだ膜	39: 保護絶縁層
33c: T 腔	40: 電極電極

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

**[Date of registration]**

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

- |                  |             |
|------------------|-------------|
| 31: ガラス基板        | 34: ゲート絶縁膜  |
| 32a: ゲートバスライン    | 38b: ドレイン電極 |
| 33a: Al 膜        | 38c: ソース電極  |
| 33b: 酸素を含んだ Al 膜 | 39: 保護絶縁膜   |
| 33c: Ti 膜        | 40: 面電容量    |

## 【特許請求の範囲】

【請求項 1】 基板上のゲート電極、半導体層及びソース・ドレイン電極により構成された薄膜トランジスタにおいて、

前記ゲート電極及び前記ソース・ドレイン電極の少なくとも一方が、アルミニウム又はアルミニウム合金からなる第 1 の層と、高融点金属からなる第 2 の層と、前記第 1 の層と前記第 2 の層との間に挟まれた酸素を含む中間層との積層構造を有することを特徴とする薄膜トランジスタ。

【請求項 2】 基板上のゲート電極、半導体層及びソース・ドレイン電極により構成された薄膜トランジスタの製造方法において、

前記ゲート電極及び前記ソース・ドレイン電極の少なくとも一方を、

アルミニウム又はアルミニウム合金をスパッタリングしてアルミニウム又はアルミニウム合金からなる第 1 の層を形成する工程と、

酸素ガスを 20% 以上の比率で含む雰囲気中で前記第 1 の層の上にアルミニウム、アルミニウム合金及び高融点金属からなる群から選択されたいずれか 1 種の金属をスパッタリングして酸素を含む中間層を形成する工程と、前記中間層の上に高融点金属をスパッタリングして高融点金属からなる第 2 の層を形成する工程とにより作製することを特徴とする薄膜トランジスタの製造方法。

【請求項 3】 基板上のゲート電極、半導体層及びソース・ドレイン電極により構成された薄膜トランジスタの製造方法において、

前記ゲート電極及び前記ソース・ドレイン電極の少なくとも一方を、

アルミニウム又はアルミニウム合金をスパッタリングしてアルミニウム又はアルミニウム合金からなる第 1 の層を形成する工程と、

酸素を含む雰囲気中で前記第 1 の層の表面を酸化させて酸化膜からなる中間層を形成する工程と、

前記第 1 の層の上に高融点金属をスパッタリングして高融点金属からなる第 2 の層を形成する工程とにより作製することを特徴とする薄膜トランジスタの製造方法。

【請求項 4】 絶縁基板上に形成された複数本のゲートバスラインと、前記絶縁基板上に前記ゲートバスラインと交差する方向に形成された複数本のデータバスラインと、前記ゲートバスラインと前記データバスラインとにより区画される各画素領域にそれぞれ形成された薄膜トランジスタ及び画素電極とを有する液晶表示装置において、

前記ゲートバスライン及び前記データバスラインの少なくとも一方は、アルミニウム又はアルミニウム合金からなる第 1 の層と、高融点金属からなる第 2 の層と、前記第 1 の層と前記第 2 の層との間に挟まれた酸素を含む中間層との積層構造を有することを特徴とする液晶表示装

置。

【請求項 5】 絶縁基板上にアルミニウム又はアルミニウム合金からなる第 1 の層を形成する工程と、

前記第 1 の層の上に酸素を含む中間層を形成する工程と、

前記中間層の上に高融点金属からなる第 2 の層を形成する工程と、

前記第 1 の層、前記中間層及び前記第 2 の層の積層膜をパターンニングして、ゲート電極及びゲートバスラインを形成する工程と、

前記ゲート電極及び前記ゲートバスラインの上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上に薄膜トランジスタの活性層、ソース電極、ドレイン電極及びデータバスラインを形成する工程と、

前記絶縁基板の上側全面に保護絶縁膜を形成する工程と、

前記保護絶縁膜の上に透明導電体膜を形成し、この透明導電体膜をパターンニングして画素電極を形成する工程とを有することを特徴とする液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ（Thin Film Transistor：以下、TFT という）及びその製造方法に関し、特に大型・高精細の液晶表示装置のスイッチング素子として好適な薄膜トランジスタ及びその製造方法に関する。

## 【0002】

【従来の技術】液晶表示装置は、薄くて軽量であるとともに低電圧で駆動できて消費電力が少ないという長所があり、各種電子機器に広く使用されている。特に、画素毎に TFT が設けられたアクティブマトリクス方式の液晶表示装置は、表示品質の点でも CRT（Cathode-Ray Tube）に匹敵するほど優れている。このため、アクティブマトリクス方式の液晶表示装置は、携帯テレビやパーソナルコンピュータ等のディスプレイにも使用されている。

【0003】一般的な TN（Twisted Nematic）型液晶表示装置は、2 枚の透明ガラス基板の間に液晶を封入した構造を有している。それらのガラス基板の相互に対向する 2 つの面（対向面）のうち、一方の面側にはブラックマトリクス、カラーフィルタ及び対向電極等が形成され、また他方の面側には TFT 及び画素電極等が形成されている。更に、各ガラス基板の対向面と反対側の面には、それぞれ偏光板が取り付けられている。これらの 2 枚の偏光板は、例えば偏光板の偏光軸が互いに直交するように配置され、これによれば、電界をかけない状態では光を透過し、電界を印加した状態では遮光するモード、すなわちノーマリーホワイトモードとなる。また、2 枚の偏光板の偏光軸が平行な場合には、電界をかけな

い状態では光を遮断し、電界を印加した状態では透過するモード、すなわちノーマリーブラックモードとなる。以下、TFT及び画素電極等が形成された基板をTFT基板と呼び、カラーフィルタ及び対向電極が形成された基板をCF基板と呼ぶ。

【0004】図1は液晶表示装置のTFT基板を示す平面図である。また、図2は図1のA-A線による断面図であり、従来の逆スタガー型TFTの構造を示している。TFT基板には、図1に示すように、複数本のゲートバスライン12aと、複数本のデータバスライン18aが形成されている。ゲートバスライン12a及びデータバスライン18aは直角に交差しており、これらのゲートバスライン12a及びデータバスライン18aにより区画された各矩形の領域がそれぞれ画素となっている。各画素にはTFT25と画素電極20とが形成されている。TFT25のゲート電極12bはゲートバスライン12aに接続され、ドレイン電極18bはデータバスライン18aに接続されている。また、TFT25のソース電極18cはコンタクト孔19hを介して画素電極20に接続されている。

【0005】図2の断面図を参照して、TFT基板の構成をより詳細に説明する。ガラス基板11上には、ゲートバスライン12a及びゲート電極12bが形成されている。これらのゲートバスライン12a及びゲート電極12bは、基板11上に形成された絶縁膜（ゲート絶縁膜）14に覆われている。ゲート絶縁膜14の上の所定領域には、TFT25の活性層となるアモルファスシリコン膜15が形成されている。そして、このアモルファスシリコン膜15の上には、SiNのような絶縁材料からなるチャネル保護膜16が形成されている。

【0006】チャネル保護膜16の両側には、それぞれアモルファスシリコン膜15と接続したn<sup>+</sup>型アモルファスシリコン膜（オーミックコンタクト層）17が形成されており、このn<sup>+</sup>型アモルファスシリコン膜17の上には、データバスライン18a、TFT25のドレイン電極18b及びソース電極18cが形成されている。

【0007】これらのデータバスライン18a、ドレイン電極18b及びソース電極18cは、保護絶縁膜19に覆われている。この保護絶縁膜19の上には、ITOからなる画素電極20が形成されている。画素電極20は、保護絶縁膜19に形成されたコンタクト孔19hを介してTFT25のソース電極18cと電気的に接続されている。そして、画素電極20は、ポリイミド等からなる配向膜（図示せず）に覆われている。

【0008】ところで、ゲートバスライン12a及びゲート電極12bは、ゲート絶縁膜14の形成時に300℃以上の高温に加熱されるためヒロック発生に対する耐熱性が要求される。また、ゲートバスライン12aは、その端部の端子部分でITO膜と接続されるため、ITO膜に対するコンタクト抵抗が低いことが要求される。

このため、従来は、ゲートバスライン12a及びゲート電極12bの材料として、半導体装置の配線材料として一般的に使用されているAl（アルミニウム又はアルミニウム合金：以下、同じ）ではなく、Cr（クロム）等の高融点金属が使用されている。

【0009】

【発明が解決しようとする課題】近年、液晶表示装置大型化及び高精細化に伴って、ゲートバスライン12aの幅が狭く、配線長が長くなる傾向にある。しかし、大型・高精細の液晶表示装置のゲートバスライン及びゲート電極をCr等の高融点金属により形成すると、抵抗値が高くなってスイッチング不良が発生する。

【0010】このような問題点を回避するために、ゲートバスライン及びゲート電極を、Al膜とTi又はMo等の高融点金属膜との積層構造にすることがある。しかし、逆スタガー型TFTの場合、ゲート絶縁膜形成時に300℃以上の温度となるため、Al膜と高融点金属との積層構造では、Al膜と高融点金属膜との界面で相互拡散が起こって高抵抗層が生じてしまう。この高抵抗層のために、Alを使用しているのにもかかわらず、ゲートバスラインの抵抗値を十分に小さくすることができない。

【0011】Alと高融点金属との相互拡散を防止するために、Al膜と高融点金属膜との間に窒化チタン（TiN）膜を形成する方法もある。しかし、窒化物は物性的に安定であって拡散による高抵抗層が生じないものの、膜荒れが生じるためゲート絶縁膜の絶縁性が妨げられてしまうという欠点がある。本発明の目的は、Alと高融点金属との界面での相互拡散に起因する高抵抗層の発生を防止し、且つ膜荒れを回避できる薄膜トランジスタ及びその製造方法を提供することである。

【0012】

【課題を解決するための手段】上記した課題は、基板上のゲート電極、半導体層及びソース・ドレイン電極により構成された薄膜トランジスタにおいて、前記ゲート電極及び前記ソース・ドレイン電極の少なくとも一方が、アルミニウム又はアルミニウム合金からなる第1の層と、高融点金属からなる第2の層と、前記第1の層と前記第2の層との間に挟まれた酸素を含む中間層との積層構造を有することを特徴とする薄膜トランジスタにより解決する。

【0013】また、上記した課題は、基板上のゲート電極、半導体層及びソース・ドレイン電極により構成された薄膜トランジスタの製造方法において、前記ゲート電極及び前記ソース・ドレイン電極の少なくとも一方を、アルミニウム又はアルミニウム合金をスパッタリングしてアルミニウム又はアルミニウム合金からなる第1の層を形成する工程と、酸素ガスを20%以上の比率で含む雰囲気中で前記第1の層の上にアルミニウム、アルミニウム合金及び高融点金属からなる群から選択されたいず

れか1種の金属をスパッタリングして酸素を含む中間層を形成する工程と、前記中間層の上に高融点金属をスパッタリングして高融点金属からなる第2の層を形成する工程とにより作製することを特徴とする薄膜トランジスタの製造方法により解決する。

【0014】本願発明者らは、A1膜と高融点金属膜との間の相互拡散を回避すべく種々実験検討を行った結果、A1膜と高融点金属膜との間に酸素を含む膜を形成すればよいとの知見を得た。また、酸素ガス比率が20%以上の雰囲気中でA1をスパッタリングして形成した酸素を含むA1膜は、高温でアニールするとシート抵抗が低下することも判明している。

【0015】図3は横軸にA1膜及びTi膜の成膜中の雰囲気中の酸素ガス比率（但し、残部はArガス）をとり、縦軸にシート抵抗をとって、成膜直後におけるA1/Ti積層膜のシート抵抗と、ゲート絶縁膜形成時と同等の温度条件（350℃で1時間）でアニールした後のA1/Ti積層膜のシート抵抗値を、4端子法で測定した結果を示す図である。

【0016】この図3から明らかなように、酸素ガス比率が20%未満のときは、アニール後の積層膜のシート抵抗値はアニール前に比べて増加するが、酸素ガス比率が20%を超えると、アニール後の積層膜のシート抵抗値はアニール前に比べて減少する。また、アニール後の積層膜は表面の膜荒れもなく、積層膜の上に絶縁膜を形成しても絶縁性が妨げられることもない。

【0017】そこで、本発明においては、ゲート電極及びソース・ドレイン電極の少なくとも一方が、A1（アルミニウム又はアルミニウム合金）からなる第1の層と、高融点金属からなる第2の層と、これらの第1の層及び第2の層の間に挟まれた酸素を含む中間層との積層構造とする。これにより、熱によってA1膜（第1の層）と高融点金属膜（第2の層）との間に高抵抗層が形成されることを回避できる。

【0018】なお、酸素を含む層とは、金属中に酸素が含まれた状態であればよく、必ずしも酸化した状態に限らない。但し、酸素を含む層により、A1膜と高融点金属膜との間の導電性が損なわれないことが必要である。酸素を含む層の厚さは2nm以上であることが好ましい。高融点金属としては、例えばTi（チタン）、Mo（モリブデン）、Cr（クロム）、Ta（タンタル）及びW（タングステン）からなる群から選択されたいずれか1種の金属又はその合金を使用することができる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について、添付の図面を参照して説明する。

（第1の実施の形態）図4は本発明の第1の実施の形態の薄膜トランジスタを適用したTN型液晶表示装置の断面図、図5は同じくその液晶表示装置のTFT基板の平面図、図6は図5のB-B線によるTFT部分の拡大断

面図である。

【0020】液晶表示装置は、図4に示すように、TFT基板30と、CF基板50と、これらのTFT基板30及びCF基板50の間に封入された液晶49とにより構成されている。TFT基板30には、図5に示すように、複数本のゲートバスライン32a及び複数本のデータバスライン38aが形成されている。ゲートバスライン32a及びデータバスライン38aは直角に交差しており、これらのゲートバスライン32a及びデータバスライン38aにより区画された各矩形領域がそれぞれ画素となっている。各画素には、透明の画素電極40と、TFT45とが形成されている。TFT45のゲート電極32bはゲートバスライン32aに接続され、ドレイン電極38bはデータバスライン38aに接続されている。また、TFT45のソース電極38cは、コンタクト孔39hを介して画素電極40に接続されている。

【0021】図6のTFT部分の断面図を参照して、TFT基板30の構成をより詳細に説明する。ガラス等の透明絶縁体からなる基板（以下、ガラス基板という）31上には、第1配線層として、ゲートバスライン32a及びゲート電極32bが形成されている。これらのゲートバスライン32a及びゲート電極32bは、下からA1膜（第1の層）33a、酸素を含むA1膜（中間層）33b及びTi膜（第2の層）33cの3層構造になっており、酸素を含むA1膜33bが拡散防止層として機能する。

【0022】これらのゲートバスライン32a及びゲート電極32bは、基板31上に形成された絶縁膜（ゲート絶縁膜）34に覆われている。ゲート絶縁膜34の上の所定領域（ゲート電極32bの上方）には、TFT45の活性層となるアモルファスシリコン膜35が形成されている。そして、このアモルファスシリコン膜35の上には、SiNのような絶縁材料からなるチャネル保護膜36が形成されている。

【0023】チャネル保護膜36の両側には、それぞれアモルファスシリコン膜35と接続した $n^+$ 型アモルファスシリコン膜（オーミックコンタクト層）37が形成されており、これらの $n^+$ 型アモルファスシリコン膜37の上には、第2配線層として、データバスライン38a、TFT45のドレイン電極38b及びソース電極38cが形成されている。

【0024】これらのデータバスライン38a、ドレイン電極38b及びソース電極38cは、保護絶縁膜39に覆われている。この保護絶縁膜39の上には、ITOからなる画素電極40が形成されている。画素電極40は、保護絶縁膜39に形成されたコンタクト孔39hを介してTFT45のソース電極38cと電気的に接続されている。そして、画素電極40は、図4に示すように配向膜41に覆われている。

【0025】配向膜41は例えばポリイミドにより形成

され、その表面には電圧を印加したときの液晶分子の配向方向を決定するために、配向処理が施されている。配向処理の代表的な方法としては、布製のローラーにより配向膜41の表面を一方方向に擦るラビング法が知られている。一方、CF基板50は、図4に示すように、ガラス基板51と、ガラス基板51の下面側に形成されたブラックマトリクス52、カラーフィルタ53、対向電極54及び配向膜55により構成されている。

【0026】ブラックマトリクス52は、例えばCr等の金属材料により、TFT基板30のゲートバスライン32a、データバスライン38a及びTFT45の形成領域を遮光するように形成されている。カラーフィルタ53には、赤色(R)、緑色(G)及び青色(B)の3種類があり、1つの画素電極40にいずれか1色のカラーフィルタ53が対向している。

【0027】カラーフィルタ53の下には、ITOからなる透明対向電極54が形成されている。この対向電極54の下には、例えばポリイミドからなる配向膜55が形成されている。この配向膜55の表面にも配向処理が施されている。図7～図11は、本実施の形態の薄膜トランジスタの製造方法を工程順に示す断面図である。

【0028】まず、図7(a)に示すように、スパッタリング装置のチャンバ内にガラス基板31を入れ、チャンバ内にArガスを140sccmの流量で導入しながらAlをスパッタリングして、ガラス基板31上にAl膜(第1の層)33aを約100nmの厚さに形成する。その後、同じチャンバ内にArガスを127sccm、酸素を54sccmの流量で導入しながらAlを反応性スパッタリング法によりスパッタリングして、酸素を含むAl膜(中間層)33bを約5nmの厚さに形成する。

【0029】次いで、真空を破らずに別のチャンバにガラス基板31を移送する。そして、チャンバ内にArガスを140sccmの流量で導入しながらTiをスパッタリングして、Ti膜(第2の層)33cを50nmの厚さに形成する。次に、Ti膜33cの上にホトレジスト膜を塗布し、露光及び現像処理を施して、図7(b)に示すように、ホトレジスト膜51を所定の形状にパターンニングする。その後、図7(c)に示すように、ホトレジスト膜51をマスクにして、塩素系ガスを用いた反応性イオンエッチングを施し、Ti膜33c、酸素を含むAl膜33b及びAl膜33aを一括してエッチングすることにより、ゲート電極32bを形成する。

【0030】次に、図8(a)に示すように、レジスト膜51を除去する。そして、図8(b)に示すように、CVD法により、ゲート絶縁膜34として窒化シリコン(SiN)膜を形成する。このとき、ガラス基板31の温度が300℃以上となるが、本実施の形態では、Al膜33aとTi膜33cとの間に酸素を含むAl膜33bが形成されているので、この膜が拡散防止層として機

能し、AlとTiとの相互拡散が防止され、高抵抗層の生成が回避される。

【0031】その後、CVD法により、ゲート絶縁膜34の上にTFT45の活性層となるアモルファスシリコン膜35を形成し、更にその上にチャネル保護膜36となる窒化シリコン膜36xを形成する。そして、窒化シリコン膜36xの上にホトレジスト膜を塗布し、露光及び現像処理を施して、図8(c)に示すように、所望のチャネル保護膜の形状にホトレジスト膜52をパターンニングする。

【0032】次いで、レジスト膜52をマスクにして窒化シリコン膜36xをエッチングし、図9(a)に示すようにチャネル保護膜36を形成する。その後、レジスト膜52を除去する。次に、図9(b)に示すように、CVD法により、オーミックコンタクト層となるn<sup>+</sup>型アモルファスシリコン膜37をガラス基板31の上側全面に形成した後、スパッタリング法により、Ti、Al、Tiをこの順番で連続的に成膜して導電膜38xを形成する。

【0033】次に、ホトリソグラフィにより、図9(c)に示すように導電膜38x、n<sup>+</sup>型アモルファスシリコン膜37及びアモルファスシリコン膜35をパターンニングして、データバスライン38a、ドレイン電極38b及びソース電極38cを形成する。その後、図10(a)に示すように、CVD法により、ガラス基板31の上側全面に窒化シリコンを堆積することにより、保護絶縁膜39を形成する。そして、図10(b)に示すように、保護絶縁膜39に、ソース電極38cに到達するコンタクト孔39hを形成する。このとき同時に、ゲートバスライン32a及びデータバスライン38aの端部の端子部分が露出する開口部(図示せず)も形成する。

【0034】次いで、図11(a)に示すように、ガラス基板31の上側全面にITOをスパッタリングして、ITO膜40xを形成する。そして、図11(b)に示すように、ITO膜40xをパターンニングして、画素電極40と、ゲートバスライン32a及びデータバスライン38aの端部の端子部分を覆うカバー膜(図示せず)とを形成する。その後、画素電極40の上を覆う配向膜41を、ポリイミド等により形成する。これにより、TFT基板が完成する。

【0035】本実施の形態では、ゲートバスライン32a及びゲート電極32bが、Al膜33aと、拡散防止層として機能する酸素を含むAl膜33bと、高融点金属からなるTi膜33cとの3層構造を有しているのので、ゲート絶縁膜34の形成工程において、300℃以上の温度に加熱されても、Al膜33aとTi膜33cとの間に高抵抗層が形成されることが回避される。これにより、本実施の形態の液晶表示装置は、ゲートバスラインの抵抗値が小さくなる。

【0036】上記の方法により実際に15インチXGA(1024×768ドット)型の液晶表示装置を作製して、ゲートバスラインの抵抗値を測定し、従来構造の液晶表示装置のゲートバスラインの抵抗値と比較した。その結果、従来構造の液晶表示装置では、ゲートバスラインの抵抗値が18kΩであったものが、本実施の形態の構造では14.7kΩと低くすることができた。但し、ゲートバスラインの幅は8μm、長さは304mmである。

【0037】なお、上記実施の形態では、ゲート絶縁膜形成時の熱の影響を受けるゲートバスライン32a及びゲート電極32bに本発明を適用し、データバスライン38a、ドレイン電極38b及びソース電極38cは、Ti/A1/Tiの積層構造としている。これらのデータバスライン38a、ドレイン電極38b及びソース電極38cの上の保護絶縁膜39は比較的低い温度で形成するので、データバスライン38a、ドレイン電極38b及びソース電極38cをTi/A1/Tiの積層構造としても、A1とTiとの相互拡散による高抵抗層が発生しにくい。しかし、データバスライン38a、ドレイン電極38b及びソース電極38cも、ゲートバスライン32a及びゲート電極32bと同様に、A1膜と高融点金属膜との間に酸素を含む膜を挟んだ構造としてもよい。

【0038】また、上記実施の形態では第2の層をTiにより形成したが、Ti(チタン)、Mo(モリブデン)、Cr(クロム)、Ta(タンタル)及びW(タングステン)からなる群から選択されたいずれか1種の金属、又はその合金により形成してもよい。

(第2の実施の形態)図12は本発明の第2の実施の形態の薄膜トランジスタの形成方法を示す断面図である。

【0039】まず、図12(a)に示すように、スパッタリング装置のチャンバ内にガラス基板31を配置し、チャンバ内にArガスを140sccmの流量で導入しながらA1をスパッタリングし、厚さが約100nmのA1膜(第1の層)33aを成膜する。その後、真空を破らずに別のチャンバにガラス基板31を移送し、チャンバ内にArガスを127sccm、酸素を54sccmの流量で導入しながら反応性スパッタリング法によりTiをスパッタリングし、酸素を含むTi層(中間層)33dを約5nmの厚さに成膜する。

【0040】次いで、同一のチャンバにて、Arガスを140sccmの流量で導入した雰囲気中でTiをスパッタリングして、Ti膜(第2の層)33cを約50nmの厚さに成膜する。次に、Ti膜33cの上にホトレジスト膜を塗布し、露光及び現像処理を施して、図12(b)に示すように、ホトレジスト膜51を所定のパターンにパターンニングする。その後、図12(c)に示すように、ホトレジスト膜51をマスクにして、塩素系ガスを用いた反応性イオンエッチングを施し、Ti膜33

c、酸素を含むTi膜33d及びA1膜33aを一括してエッチングすることにより、ゲート電極32bを形成する。

【0041】以後の工程は第1の実施の形態と同様であるので、ここでは説明を省略する。本実施の形態においては、酸素を含むTi膜33dが拡散防止層として機能し、ゲート絶縁膜形成時にA1膜33aとTi膜33cとの間の相互拡散が防止される。これにより、本発明においても、第1の実施の形態と同様の効果を得ることができる。

【0042】なお、上記実施の形態では中間層及び第2の層をTiのスパッタリングで形成したが、Ti(チタン)、Mo(モリブデン)、Cr(クロム)、Ta(タンタル)及びW(タングステン)からなる群から選択されたいずれか1種の金属、又はその合金をスパッタリングして形成してもよい。

(第3の実施の形態)以下、第3の実施の形態について説明する。本実施の形態が第1の実施の形態と異なる点は、ゲートバスライン及びゲート電極の形成方法が異なることにあり、その他の構成は基本的に第1の実施の形態と同様であるので、重複する部分の説明は省略する。

【0043】図13は薄膜トランジスタの製造装置を示すブロック図である。この装置は、搬入室61、基板待機室62、A1成膜室(第1室)63、ベント処理室(第2室)64、Ti成膜室(第3室)65、基板取り出し室66及びトランスファー室67により構成されている。各室61~67は扉で仕切られている。また、各室61~67はいずれも排気装置に接続され、各部屋を個別に排気にすることができるようになっている。

【0044】以下、上述の装置を使用した薄膜トランジスタの製造方法について説明する。まず、基板待機室62、A1成膜室63、ベント処理室64、Ti成膜室65、取り出し室66及びトランスファー室67の各室内のエアを十分に排気する。次に、搬入室61にガラス基板を入れた後、搬入室61内を十分に排気する。そして、搬入室61からトランスファー室67を介して基板待機室62に基板を移送する。そして、ガラス基板を基板待機室62からトランスファー室67を介してA1成膜室63に移送する。

【0045】次に、A1成膜室63では、Arガスを140sccmの流量で導入しながらA1をスパッタリングして、基板上にA1膜(第1の層)を約100nmの厚さに形成する。その後、ガラス基板を、A1成膜室63からトランスファー室67を介してベント処理室64に移送する。ベント処理室64では、ガラス基板が室内に移送されると、室内に大気を導入する。これにより、A1膜の表面に自然酸化膜(中間層)が形成される。

【0046】このようにしてA1膜の表面に自然酸化膜が形成された後、ベント処理室64内を再び真空状態にする。そして、ガラス基板を、ベント処理室64から



トランスファー室 67 を介して T i 成膜室 65 に移送する。T i 成膜室 64 では、A r ガスを 140 s c c m の流量で導入しながら T i をスパッタリングして、T i 膜（第 2 の層）を 50 n m の厚さに成膜する。これにより、A l 膜と T i 膜との間に自然酸化膜を挟んだ構造の積層膜が形成される。

【0047】次に、ガラス基板を、T i 成膜室 65 からトランスファー室 67 を介して取り出し室に移送する。その後、トランスファー室 67 と取り出し室 66 との間の扉を開めた後、取り出し室 66 を大気圧にして、ガラス基板を取り出す。次いで、A l 膜、自然酸化膜及び T i 膜の 3 層構造の積層膜をホトリソグラフィによりパターンニングして、ゲートバスライン及びゲート電極を形成する。その後の工程は第 1 の実施の形態と同様であるので、ここでは説明を省略する。

【0048】本実施の形態によれば、ゲートバスライン及びゲート電極を A l 膜、自然酸化膜及び T i 膜の 3 層構造としているので、自然酸化膜により A l 膜と T i 膜との間の熱による相互拡散が防止される。これにより、低抵抗の電極配線を得ることができる。なお、上記の第 1 ～第 3 の実施の形態では、本発明を T N 型液晶表示装置に適用した場合について説明したが、これにより本発明の適用範囲が T N 型液晶表示装置に限定されるものではなく、本発明は例えば I P S (In-Plane Switching) 型液晶表示装置及び M V A (Multi-domain Vertical Alignment) 型液晶表示装置等の液晶表示装置や、その他の薄膜トランジスタを使用した電子機器に適用することができる。

【0049】（付記 1）基板上のゲート電極、半導体層及びソース・ドレイン電極により構成された薄膜トランジスタにおいて、前記ゲート電極及び前記ソース・ドレイン電極の少なくとも一方が、アルミニウム又はアルミニウム合金からなる第 1 の層と、高融点金属からなる第 2 の層と、前記第 1 の層と前記第 2 の層との間に挟まれた酸素を含む中間層との積層構造を有することを特徴とする薄膜トランジスタ。

【0050】（付記 2）前記中間層は、酸素を含むアルミニウム、酸素を含むアルミニウム合金及び酸素を含む高融点金属のうちのいずれか 1 種により構成されていることを特徴とする付記 1 に記載の薄膜トランジスタ。

（付記 3）前記高融点金属は、T i（チタン）、M o（モリブデン）、C r（クロム）、T a（タンタル）及び W（タングステン）からなる群から選択されたいずれか 1 種の金属、又はその合金であることを特徴とする付記 1 に記載の薄膜トランジスタ。

【0051】（付記 4）基板上のゲート電極、半導体層及びソース・ドレイン電極により構成された薄膜トランジスタの製造方法において、前記ゲート電極及び前記ソース・ドレイン電極の少なくとも一方を、アルミニウム又はアルミニウム合金をスパッタリングして、アルミニ

ウム又はアルミニウム合金からなる第 1 の層を形成する工程と、酸素ガスを 20 % 以上の比率で含む雰囲気中で前記第 1 の層の上にアルミニウム、アルミニウム合金及び高融点金属からなる群から選択されたいずれか 1 種の金属をスパッタリングして、酸素を含む中間層を形成する工程と、前記中間層の上に高融点金属をスパッタリングして、高融点金属からなる第 2 の層を形成する工程とにより作製することを特徴とする薄膜トランジスタの製造方法。

10 【0052】（付記 5）基板上のゲート電極、半導体層及びソース・ドレイン電極により構成された薄膜トランジスタの製造方法において、前記ゲート電極及び前記ソース・ドレイン電極の少なくとも一方を、アルミニウム又はアルミニウム合金をスパッタリングしてアルミニウム又はアルミニウム合金からなる第 1 の層を形成する工程と、酸素を含む雰囲気中で前記第 1 の層の表面を酸化させて酸化膜からなる中間層を形成する工程と、前記第 1 の層の上に高融点金属をスパッタリングして高融点金属からなる第 2 の層を形成する工程とにより作製することを特徴とする薄膜トランジスタの製造方法。

20 【0053】（付記 6）絶縁基板上に形成された複数本のゲートバスラインと、前記絶縁基板上に前記ゲートバスラインと交差する方向に形成された複数本のデータバスラインと、前記ゲートバスラインと前記データバスラインとにより区画される各画素領域にそれぞれ形成された薄膜トランジスタ及び画素電極とを有する液晶表示装置において、前記ゲートバスライン及び前記データバスラインの少なくとも一方は、アルミニウム又はアルミニウム合金からなる第 1 の層と、高融点金属からなる第 2 の層と、前記第 1 の層と前記第 2 の層との間に挟まれた酸素を含む中間層との積層構造を有することを特徴とする液晶表示装置。

30 【0054】（付記 7）絶縁基板上にアルミニウム又はアルミニウム合金からなる第 1 の層を形成する工程と、前記第 1 の層の上に酸素を含む中間層を形成する工程と、前記中間層の上に高融点金属からなる第 2 の層を形成する工程と、前記第 1 の層、前記中間層及び前記第 2 の層の積層膜をパターンニングして、ゲート電極及びゲートバスラインを形成する工程と、前記ゲート電極及び前記ゲートバスラインの上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に薄膜トランジスタの活性層、ソース電極、ドレイン電極及びデータバスラインを形成する工程と、前記絶縁基板の上側全面に保護絶縁膜を形成する工程と、前記ソース電極の上方、並びに前記ゲートガスライン及び前記ドレインバスラインの各端子の上方の前記絶縁膜を除去する工程と、前記保護絶縁膜の上に透明導電体膜を形成し、この透明導電体膜をパターンニングして画素電極を形成する工程とを有することを特徴とする液晶表示装置の製造方法。

50 【0055】（付記 8）前記酸素を含む中間層は、酸素

ガスを 20%以上含む雰囲気中で、アルミニウム、アルミニウム合金及び高融点金属からなる群から選択されたいずれか 1 種の金属をスパッタリングして形成することを特徴とする付記 7 に記載の液晶表示装置の製造方法。

【付記 9】前記酸素を含む中間層は、前記アルミニウム又はアルミニウム合金膜の表面を自然酸化させて形成することを特徴とする付記 7 に記載の液晶表示装置の製造方法。

#### 【0056】

【発明の効果】以上説明したように、本発明の薄膜トランジスタによれば、ゲート電極及びソース・ドレイン電極の少なくとも一方が、アルミニウム又はアルミニウム合金からなる第 1 の層と、高融点金属からなる第 2 の層と、第 1 及び第 2 の層の間に挟まれた酸素を含む中間層との積層構造を有しているため、アルミニウム膜と高融点金属膜との間に高抵抗層が形成されることがなく、膜荒れもない。従って、本発明の薄膜トランジスタを液晶表示装置のスイッチング素子として使用すれば、大型・高精細の液晶表示装置が実現される。

【0057】また、本発明の薄膜トランジスタの製造方法によれば、酸素ガスを 20%以上の比率で含む雰囲気中で A1 又は高融点金属をスパッタリングして拡散防止層として機能する中間層を形成するので、A1 膜と高融点金属膜との間の相互拡散を防止することができる。また、拡散防止層として自然酸化膜を使用した場合も同様である。

#### 【図面の簡単な説明】

【図 1】図 1 は、液晶表示装置の TFT 基板を示す平面図である。

【図 2】図 2 は図 1 の A-A 線による断面図であり、従来の逆スタガー型 TFT の構造を示している。

【図 3】図 3 は、成膜中の雰囲気中の酸素ガス比率と、成膜直後における A1/Ti 積層膜のシート抵抗及びアニール後の A1/Ti 積層膜のシート抵抗値との関係を示す図である。

【図 4】図 4 は、本発明の第 1 の実施の形態の薄膜トランジスタを適用した液晶表示装置の断面図である。

【図 5】図 5 は同じくその液晶表示装置の平面図であ

る。

【図 6】図 6 は、図 5 の B-B 線による TFT 部分の拡大断面図である。

【図 7】図 7 は、第 1 の実施の形態の薄膜トランジスタの製造方法を示す断面図（その 1）である。

【図 8】図 8 は、第 1 の実施の形態の薄膜トランジスタの製造方法を示す断面図（その 2）である。

【図 9】図 9 は、第 1 の実施の形態の薄膜トランジスタの製造方法を示す断面図（その 3）である。

10 【図 10】図 10 は、第 1 の実施の形態の薄膜トランジスタの製造方法を示す断面図（その 4）である。

【図 11】図 11 は、第 1 の実施の形態の薄膜トランジスタの製造方法を示す断面図（その 5）である。

【図 12】図 12 は、本発明の第 2 の実施の形態の薄膜トランジスタの形成方法を示す断面図である。

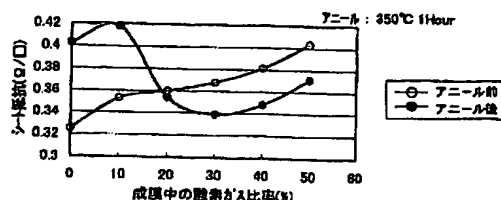
【図 13】図 13 は本発明の第 3 の実施の形態における薄膜トランジスタの製造装置を示すブロック図である。

#### 【符号の説明】

- 11, 31, 51…ガラス基板、
- 12a, 32a…ゲートバスライン、
- 12b, 32b…ゲート電極、
- 14, 34…ゲート絶縁膜、
- 15, 35…アモルファスシリコン膜（活性層）、
- 16, 36…チャネル保護膜、
- 17, 37… $n^+$  型アモルファスシリコン膜（オーミックコンタクト層）、
- 18a, 38a…データバスライン、
- 18b, 38b…ドレイン電極、
- 18c, 38c…ソース電極、
- 19, 39…保護絶縁膜、
- 20, 40…画素電極、
- 25…TFT、
- 30…TFT 基板、
- 33a…A1 膜、
- 33b…酸素を含んだ A1 膜、
- 33c…Ti 膜、
- 49…液晶、
- 50…CF 基板。

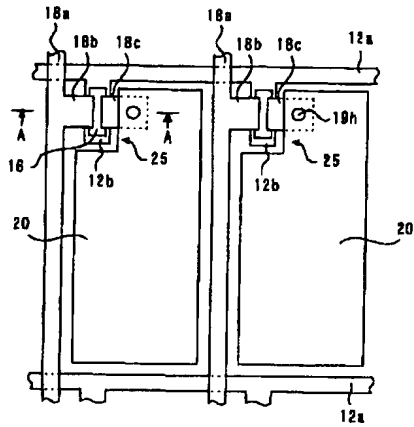
【図 3】

酸素ガス比率とシート抵抗値



【図 1】

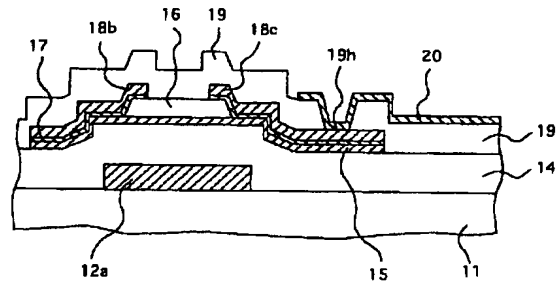
液晶表示装置のTFT基板



12a : ゲートバスライン  
 18a : データバスライン  
 20 : 画素電極  
 25 : TFT

【図 2】

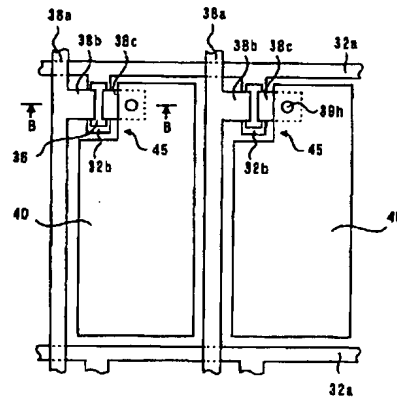
逆スタガー型TFT (従来技術)



11 : ガラス基板  
 12a : ゲートバスライン  
 14 : ゲート絶縁膜  
 15 : アモルファスシリコン膜  
 18b : ドレイン電極  
 18c : ソース電極  
 19 : 保護絶縁膜  
 20 : 画素電極

【図 5】

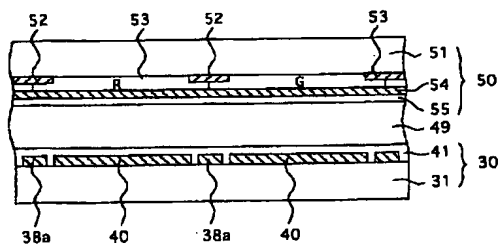
液晶表示装置のTFT基板



32a : ゲートバスライン  
 38a : データバスライン  
 40 : 画素電極  
 45 : TFT

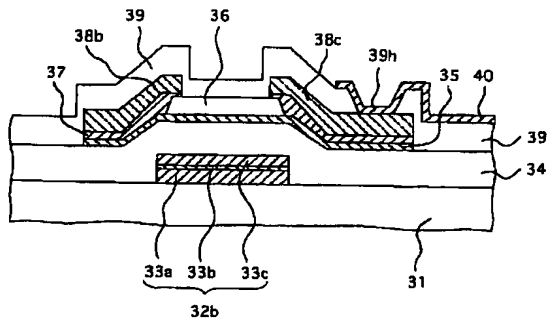
【図 4】

液晶表示装置 (平面図)



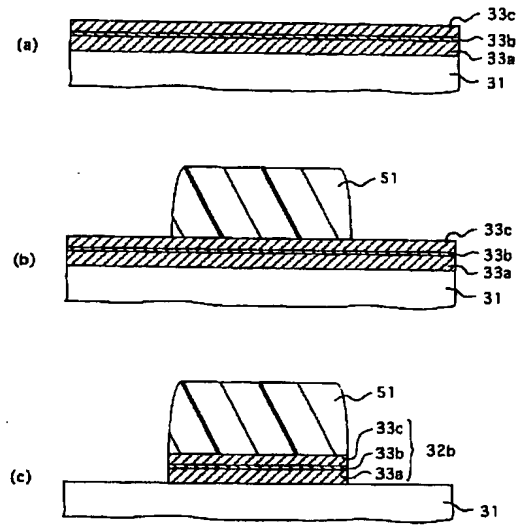
30 : TFT基板  
 31, 51 : ガラス基板  
 40 : 画素電極  
 49 : 液晶  
 50 : CF基板  
 52 : ブラックマトリクス  
 53 : カラーフィルタ  
 54 : 対向電極

【図 6】

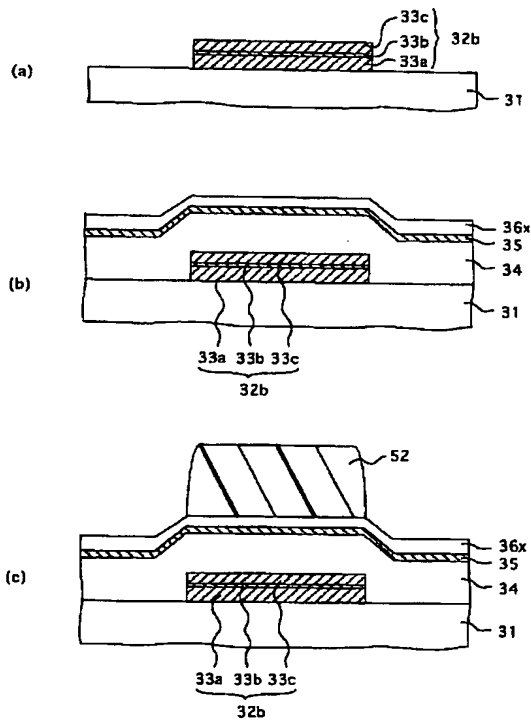


31 : ガラス基板  
 32a : ゲートバスライン  
 33a : Al 膜  
 33b : 酸素を含んだ Al 膜  
 33c : Ti 膜  
 34 : ゲート絶縁膜  
 38b : ドレイン電極  
 38c : ソース電極  
 39 : 保護絶縁膜  
 40 : 図素電極

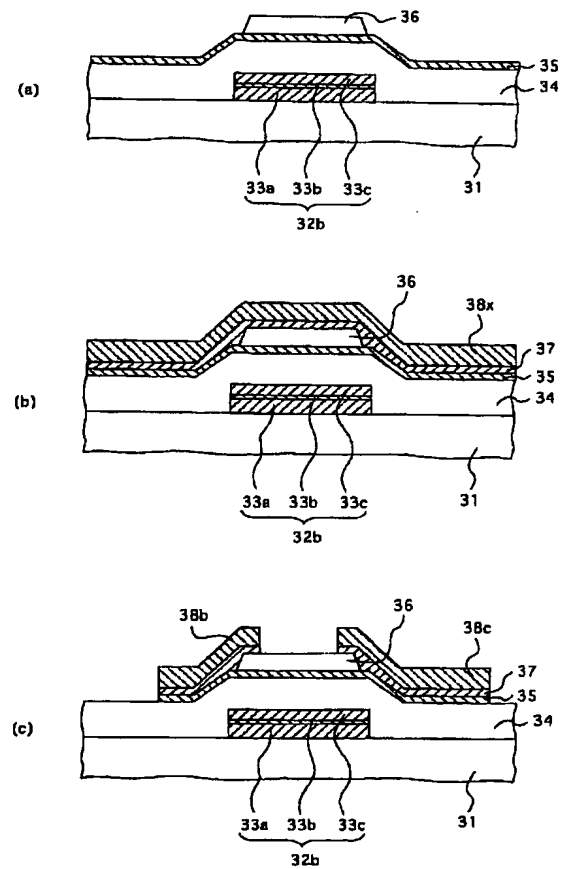
【図 7】



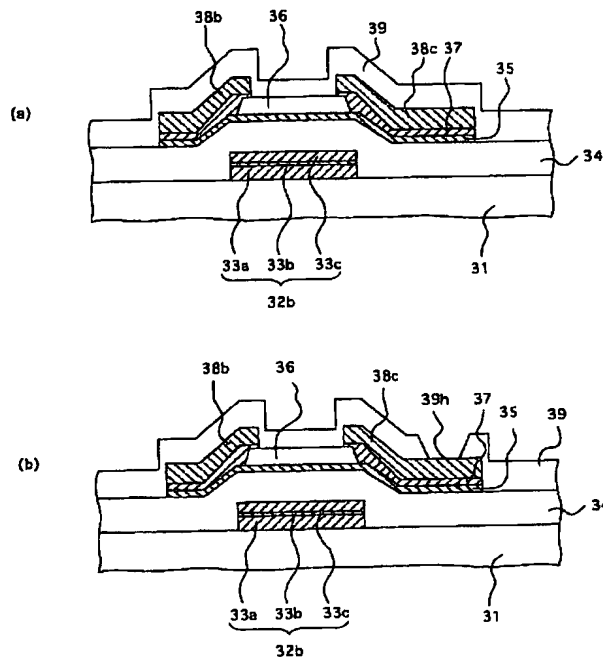
【図 8】



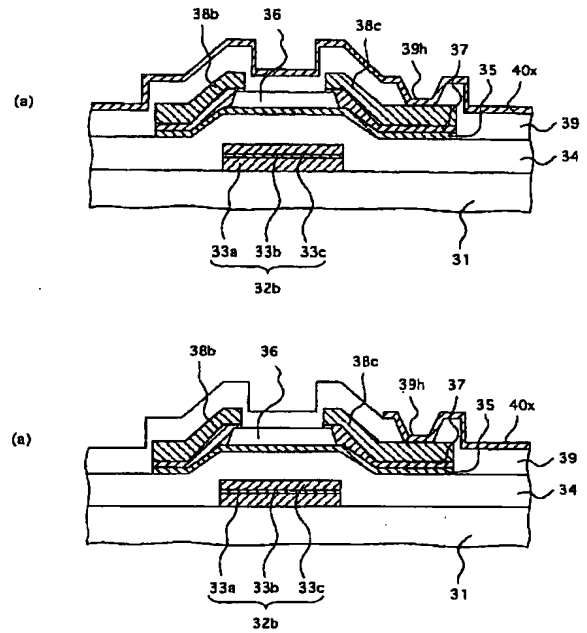
【図 9】



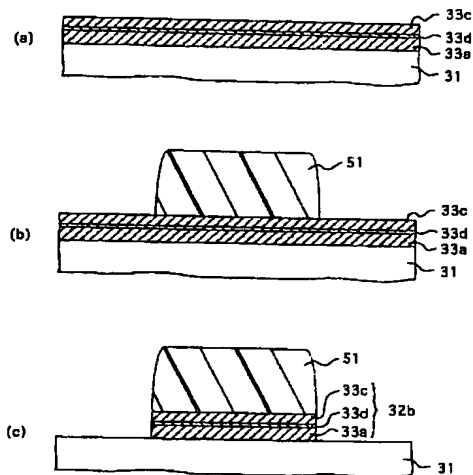
【図10】



【図11】

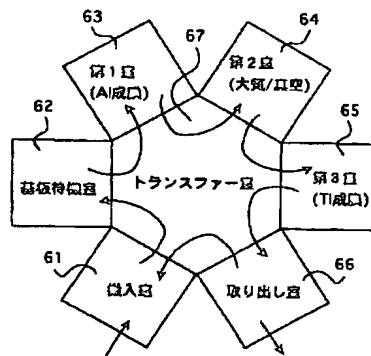


【図12】



【図13】

薄膜トランジスタの製造方法



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

H O I L 29/78

テーマコード(参考)

6 1 7 M

Fターム(参考) 2H092 GA17 GA25 JA24 JA34 JA41  
JA47 JB51 KA05 KB25 MA05  
MA12 MA17 MA29 NA25 PA08  
PA11 QA07  
4M104 BB02 BB39 CC05 DD37 DD42  
DD65 DD86 DD88 GG20 HH16  
5F110 AA03 BB01 CC07 DD02 EE01  
EE03 EE04 EE06 EE12 EE15  
EE44 FF03 FF29 GG02 GG15  
GG44 HK03 HK04 HK06 HK09  
HK16 HK22 HK33 HK34 HL07  
NN02 NN12 NN24 NN35 NN72  
QQ09